

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332537

(43)Date of publication of application : 30.11.2000

(51)Int.Cl. H03B 5/32

(21)Application number : 11-144023

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 24.05.1999

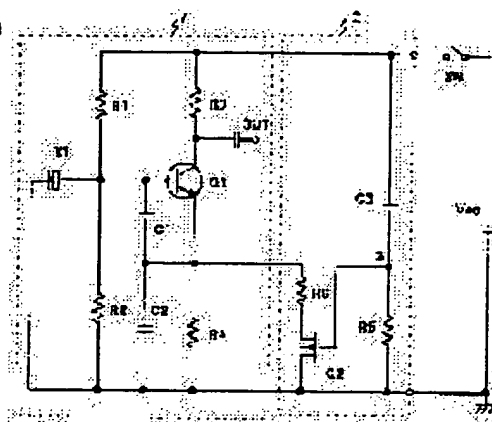
(72)Inventor : MATSUMOTO YOSHIKI

## (54) PIEZOELECTRIC OSCILLATION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To actualize fast starting up and the stability of an output level by making the amplification factor of a semiconductor amplifying element included in a Colpitts piezoelectric oscillation circuit, large immediately after the electric power is supplied and small with the time.

**SOLUTION:** A Colpitts oscillator 1 and a bias control circuit 2 are applied with a voltage as high as a power source  $V_{cc}$  in terms of step by turning on a switch SW. The voltage at a point (a) after momentarily varying from zero to the value  $V_{cc}$  drops transiently, so the moment the electric power is applied, the source-drain part of a transistors Q2 enters a low-impedance state and changes to a high-impedance state with the time. The value of an emitter resistance connected between the emitter of a transistor Q1 and the ground is minimum when the power source is turned on and increases up to the value of a resistance R4 thereafter with the time, so an emitter current which is larger than usual flows only the moment the electric power is applied.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332537

(P2000-332537A)

(43) 公開日 平成12年11月30日 (2000.11.30)

(51) Int. Cl.

H 0 3 B 5/32

識別記号

F I

H 0 3 B 5/32

特許ト (参考)

D 5 J 0 7 9

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平11-144023

(22) 出願日

平成11年5月24日 (1999.5.24)

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 松本 好明

神奈川県高座郡寒川町小谷2丁目1番1号

東洋通信機株式会社内

Fターム (参考) 5J079 AA04 BA22 BA41 EA03 EA05

EA11 FB22 FB23 FB37 FB48

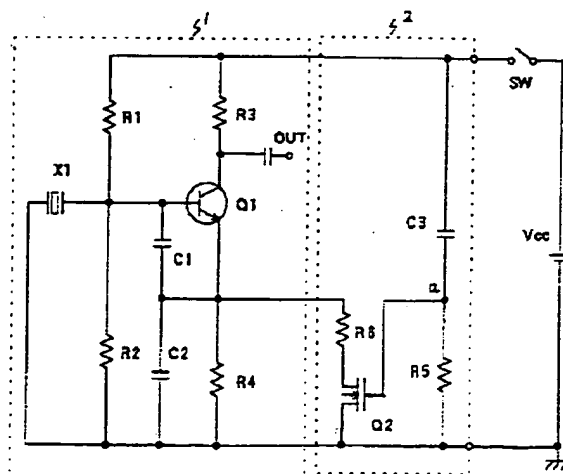
GA02 GA12 GA14 KA01 KA05

(54) 【発明の名称】 圧電発振回路

(57) 【要約】

【課題】 コルピッツ発振器の発振起動時間を短縮し、又は発振周波数の出力レベル安定性を向上させた圧電発振回路を提供すること。

【解決手段】 第1の手段は、コルピッツ発振器等の圧電発振回路におけるエミッタ電流を、微分回路の出力電圧をFETに印加し、該FETによって制御するよう構成することによって高速起動性を図った。第2の手段は、ベース側バイアス回路に常時電源を印加するよう構成し、更にコレクタ側バイアス回路は発振動作を必要とする時のみ電源を印加するよう構成することによって高速起動性を図った。第3の手段は圧電電流変換器の出力信号によって差動増幅器の利得を調節することにより、出力レベルの安定性を図った。



## 【特許請求の範囲】

【請求項1】半導体増幅素子を含むコルピッツ型圧電発振回路において、前記半導体増幅素子のバイアス制御回路が、電源供給された直後に、該半導体増幅素子の増幅度が大きく且つ時間の経過とともにその増幅度が小さくなるよう機能するものであることを特徴とする圧電発振回路。

【請求項2】前記バイアス制御回路が、電界効果トランジスタを含み、そのゲートバイアス回路に、抵抗とコンデンサからなる微分回路又は積分回路を備えるとともに該電界効果トランジスタのドレインとソースを介して前記半導体増幅素子にバイアスをあたえることを特徴とする請求項1に記載の圧電発振回路。

【請求項3】半導体増幅素子を含むコルピッツ型圧電発振回路において、前記半導体増幅素子のバイアス回路には電源を常時印加し、該素子の他の所要部への電源供給は、発振動作を必要とする時のみ印加するよう構成することを特徴とする圧電発振回路。

【請求項4】少なくともコルピッツ型発振器と、前記発振器出力を入力とする電圧電流変換器を含む差動増幅器と、発振器出力レベル検出器とを備え、前記レベル検出器の出力信号によって、前記電圧電流変換器の出力電流を制御することによって、出力信号が常にほぼ一定の大きさになるよう制御したことを特徴とする圧電発振回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は圧電発振回路に関し、特に高速起動性又は低消費電力或いは出力信号レベルの安定性等の諸特性を向上した圧電発振回路に関する。

## 【0002】

【従来の技術】圧電発振器は、移動体通信機器などの各種通信機器、電子機器及びO/A機器などの基準周波数源として幅広く利用されている。その圧電発振器の中でも、増幅素子としてトランジスタを用い、また圧電素子として水晶振動子を用いたコルピッツ発振器が一般的に広く利用されている。このコルピッツ発振器の基本的な回路は、図4に図示した様に、トランジスタQ1のベース・エミッタ間とエミッタ・アース間に夫々コンデンサC1、C2を、又ベース・アース間に圧電振動子X1をそれぞれ接続し、更には抵抗R1乃至R4をトランジスタQ1のバイアス抵抗として接続したものである。

## 【0003】

【発明が解決しようとする課題】また一方、近年の移動体通信機器では、バッテリーによる長時間動作を目的として、発振回路等の一部回路を間欠動作させる手法が用いられるようになった。このような手法においては、より高性能の通信を可能とするため、より高速に且つ安定に起動する発振器が要求されるようになってきた。

【0004】しかしながら、従来のコルピッツ発振回路では、種々の理由によりその要求に応えることが困難であった。即ち、本発明は上述した問題を解決するためになされたものであり、高速起動性、出力レベルの安定性といった諸特性について、より高性能な圧電発振回路を提供することを目的とする。

## 【0005】

【課題を解決するための手段】本発明は上述の目的を達成するため請求項1の発明は、半導体増幅素子を含むコルピッツ型圧電発振回路において、前記半導体増幅素子のバイアス制御回路が、電源供給された直後に、該半導体増幅素子の増幅度が大きく且つ時間の経過とともにその増幅度が小さくなるよう機能するものであることを特徴とする。

【0006】請求項2の発明は、前記バイアス制御回路が、電界効果トランジスタを含み、そのゲートバイアス回路に、抵抗とコンデンサからなる微分回路又は積分回路を備えるとともに該電界効果トランジスタのドレインとソースを介して前記半導体増幅素子にバイアスをあたえることを特徴とする。

【0007】請求項3の発明は、半導体増幅素子を含むコルピッツ型圧電発振回路において、前記半導体増幅素子のバイアス回路には電源を常時印加し、該素子の他の所要部への電源供給は、発振動作を必要とする時のみ印加するよう構成することを特徴とする。

【0008】請求項4の発明は、少なくともコルピッツ型発振器と、前記発振器出力を入力とする電圧電流変換器を含む差動増幅器と、発振器出力レベル検出器とを備え、前記レベル検出器の出力信号によって、前記電圧電流変換器の出力電流を制御することによって、出力信号が常にほぼ一定の大きさになるよう制御したことを特徴とする。

## 【0009】

【発明の実施の形態】以下、図示した実施形態例に基づいて本発明を詳細に説明する。

（第一の実施形態例）図1は、本発明による圧電発振回路の一形態例を示す図である。図中1は、コルピッツ発振器であり、トランジスタQ1のベース・エミッタ間とエミッタ・アース間に夫々コンデンサC1、C2を、又ベース・アース間に圧電振動子X1をそれぞれ接続し、更に抵抗R1乃至R4をトランジスタQ1のバイアス抵抗として接続する。また図中2は、バイアス制御回路であり、電源Vccとアースとの間にコンデンサC3と抵抗R5の直列回路からなる微分回路を接続し、前記コンデンサC3と前記抵抗R5の接続点（図中a点）をエンハンスメント型NチャネルMOS電界効果トランジスタQ2（以下、単にトランジスタQ2と称する）のゲートに接続する。更に前記トランジスタQ2のドレインは抵抗R6を介し前記トランジスタQ1のエミッタに接続し、また前記トランジスタQ2のソースはアースに接続

する。

【0010】次に、上記構成の回路動作について説明する。スイッチSWをオンにした場合、コルピッツ発振器1及びバイアス制御回路2には電源Vccの大きさの電圧がステップ的に印加される。この時、コンデンサC3と抵抗R5からなる微分回路の出力電圧（図中a点の電圧）は、電圧が瞬時に零からVccの値に変化した後、過渡的に減少するよう変化する。このような変化を示す電圧信号をトランジスタQ2のゲートに印加すると、トランジスタQ2のソース・ドレイン間が、電源が印加された瞬時に低インピーダンス状態となり、更に時間の経過とともに高インピーダンス状態に変化する。

【0011】一方、コルピッツ発振器におけるトランジスタQ1のエミッタ・アース間に接続されるエミッタ抵抗の値は、抵抗R6及びトランジスタQ2のソース・ドレイン間インピーダンスの直列和と、抵抗R4との並列合成和で与えることができる。従って前記エミッタ抵抗の値は、電源投入時に最小の値となり、以降時間の経過とともに抵抗R4の値まで大きくなるよう動作する。

【0012】一般にコルピッツ発振器においては、他の条件を一定と考えるとエミッタ抵抗を小さくすると、トランジスタのエミッタに流れる電流（以下、エミッタ電流）が大きくなり、また大きなエミッタ電流を流した場合の方が発振器の発振起動時間が短くなることが知られている。従って、上述の如く構成することによって、電源が印加された瞬間にのみエミッタ抵抗の抵抗値が小さくなり、定常時よりも大きなエミッタ電流が流れるため、従来のコルピッツ発振回路よりもより短い時間で周波数の発振を起動させることができる。

【0013】（第2の実施形態例）図2は、本発明による圧電発振回路の他の一形態例を示す図である。同図の3はカスコード型コルピッツ発振器であって、トランジスタQ1のベース・エミッタ間とエミッタ・アース間に夫々コンデンサC1、C2を、又ベース・アース間に圧電振動子X1を、更にエミッタ・アース間に抵抗R1をそれぞれ接続し、トランジスタQ1のコレクタ側にはトランジスタ2を縦属接続し、該トランジスタQ2のベース・アース間にはコンデンサC3を接続する。

【0014】同図の4は電源Vccが常時供給されている第1の電源供給点であり、該第1の電源供給点4とアースとの間に抵抗R2、R3、R4及びNチャネルMOS電界効果トランジスタQ3（以下単にトランジスタQ3と称す）のドレイン・ソース間を直列に接続し、更に前記抵抗R2とR3との接続点をトランジスタQ2のベースに接続し、前記抵抗R3とR4との接続点をトランジスタQ1のベースに接続し、ベース側バイアス回路を構成する。同図の5は発振動作を必要とする時にのみ電源Vccを供給する第2の電源供給点であり、該第2の電源供給点5を抵抗R5を介してトランジスタQ2のコレクタに接続し、コレクタ側バイアス回路を構成すると

ともに、前記第2の電源供給点5を前記トランジスタQ3のゲートに接続し、更に前記第2の電源供給点5とアースとの間に抵抗R6を接続する。

【0015】次に、上記構成の回路動作について説明する。スイッチSWがオフの場合、第2の電源供給点5、即ち、トランジスタQ3のゲートの電位は零になるから、前記ベース側バイアス回路を構成しているトランジスタQ3のドレイン・ソース間の抵抗値は非常に大きい値となる。従って常時電源が印加される前記第1の電源供給点4から前記ベース側バイアス回路に流れる電流はごく僅かであり、しかもベース側バイアス回路に接続するコンデンサC1、C2及びC3は常に充電された状態にある。上記の状態において、スイッチSWをオンにした場合、第2の電源供給点5には電源電圧Vccが印加され、トランジスタQ3のゲート電位が大となるから、該トランジスタQ3のドレイン・ソース間の抵抗が非常に小さい値に変化する。従ってベース側バイアス回路は周波数の発振に適切なバイアス電圧を発生するよう変化し、トランジスタQ1及びQ2に適切なベース電流を流すよう動作する。

【0016】一般に抵抗やコンデンサ等の電子部品で構成した回路にステップ的に直流電源を印加したとき、コンデンサ等に電荷が流入する過渡現象を経て定常状態に至るものである。しかしながら、本発明の構成によれば、コンデンサC1、C2及びC3が常に充電された状態にあり、電源が印加された直後の過渡状態を経ずに定常状態に至ることができることから、従来のコルピッツ発振回路に比べてより短い時間のうちに周波数の発振動作に移行することができる。上述したカスコード型コルピッツ発振器においては、コンデンサC3の容量値をコンデンサC1及びC2よりも大きな値になるよう設計するため、図4に図示した従来のコルピッツ回路に適用するよりも大きな効果を得ることができる。

【0017】（第3の実施形態例）図3は、本発明による圧電発振回路の更に他の一形態例を示す図である。同図の6はコルピッツ発振器であって、トランジスタQ1のベース・エミッタ間とエミッタ・アース間に夫々コンデンサC1、C2を、又ベース・アース間に圧電振動子X1をそれぞれ接続し、更には抵抗R1乃至R4をトランジスタQ1のバイアス抵抗として構成する。

【0018】同図の7は、トランジスタQ2、Q3及び電圧電流変換器U1からなる差動増幅器であり、該差動増幅器7の入力の一方端、即ち、トランジスタQ2のベースには、前記コルピッツ発振器4の出力端を接続し、他方の入力端、即ちトランジスタQ3のベースにはバイアス用直流電源V2を接続する。更に該差動増幅器5の出力端であるトランジスタQ3のコレクタには、検出回路8を接続し、該検出回路8の出力を電圧電流変換器U1の電圧入力端子に接続する。なお、該検出回路8は、コンデンサC3及びダイオードD1からなる整流回路の

出力を、コンデンサC4と抵抗R6の平滑回路で電圧信号に変換するよう構成する。また前記電圧電流変換器U1は、入力電圧が小さいとき出力電流を大きく、逆に入力電圧が大きいときに出力電流を小さくするよう機能する。

【0019】以下、この実施形態例の詳細な動作について説明する。コルピッツ発振器6の発振周波数の出力レベルが変動して所望の出力レベルよりも大きくなった場合、差動増幅器7の出力信号（図中a点）が大きくなり、更に検出回路8によって直流に変換された電圧信号が大きくなる。更に該電圧信号によって、電圧電流変換器U1の出力電流が小さくなるから、差動増幅器7の利得が小さくなり、該差動増幅器7の出力信号が小さくなる。

【0020】逆にコルピッツ発振器6の所望の出力レベルよりも小さくなった場合、差動増幅器7の出力信号（図中a点）が小さくなり、更に検出回路8で変換された電圧信号が小さくなる。更に該直流電圧信号によって、電圧電流変換器U1の出力電流が大きくなるから、差動増幅器7の利得が大きくなり、差動増幅器7の出力信号が大きくなる。

【0021】一般にコルピッツ発振器は出力レベルが外部温度などの影響やバイアス回路の変動を受けて変化しやすいものであるが、本発明の如く構成することにより、発振周波数の出力レベルを常に一定に制御可能な圧電発振回路を得ることができる。

【0022】以上、3つの実施形態例について夫々個別のものとして詳細に説明したが、これら実施形態例の構成は互いに組み合わせが可能であり、それぞれ固有の効果を兼ね備えた発振器を得ることができる。

【0023】

【発明の効果】請求項1及び請求項2に記載の発明によ

れば、発振回路の電源投入時にエミッタ電流を大きくし、その後、急速にエミッタ電流を小さくするので、発振回路の起動時間を短縮することが出来る。

【0024】請求項3に記載の発明によれば、発振回路に用いるコンデンサを常に充電状態に維持できるので発振回路の起動時間を短縮することが出来る。

【0025】請求項4に記載の発明によれば、発振回路の出力変動に応じて発振回路の出力端に設けた差動増幅器の出力を制御するので、高い安定性の発振回路を得ることが出来る。

【0026】以上のように、本発明の圧電発振回路よれば、高速起動性、低消費電力或は出力レベルといった発振回路の電気的な諸特性の性能を向上させることが可能であり、移動体通信等の通信機器により好適な圧電発振回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の圧電発振回路における第1の実施形態例

【図2】本発明の圧電発振回路における第2の実施形態例

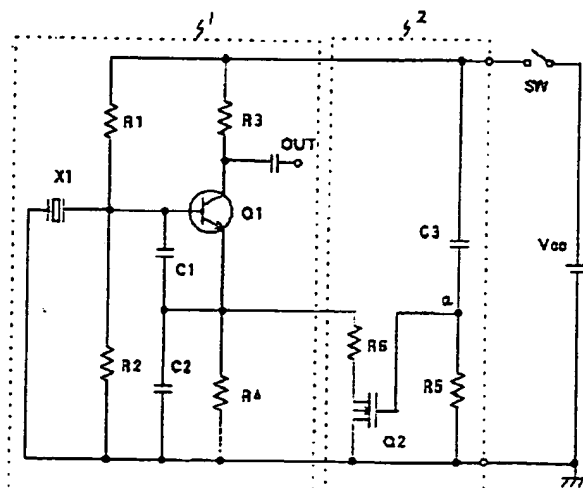
【図3】本発明の圧電発振回路における第3の実施形態例

【図4】従来のコルピッツ型圧電発振回路

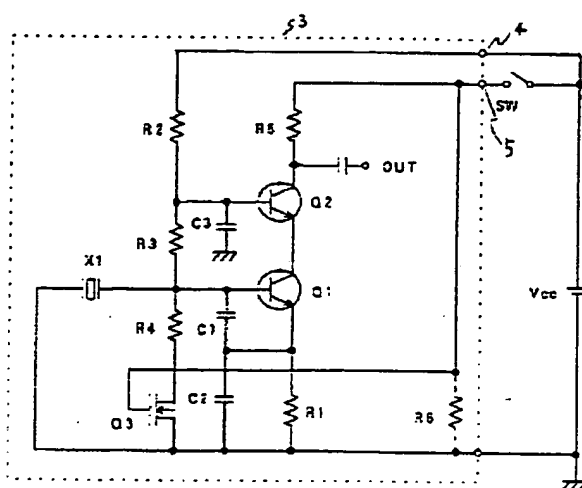
【符号の説明】

X1 圧電振動子、R1～R6 抵抗、C1～C6 コンデンサ、Q1～Q2トランジスタ、Vcc、V2 直流電源、U1 電圧電流変換器、D1 ダイオード  
1、6 コルピッツ発振器、2 バイアス制御回路、3 カスコード型コルピッツ発振器、4 第1の電源供給点、5 第1の電源供給点、7 差動増幅器、8レベル検出器

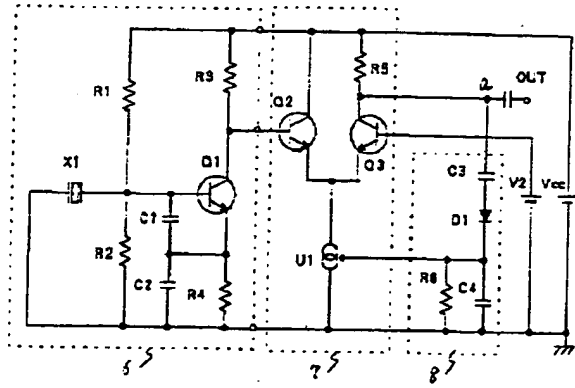
【図1】



【図2】



【図3】



【図4】

